



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0009359
Application Number

출원년월일 : 2003년 02월 14일
Date of Application
FEB 14, 2003

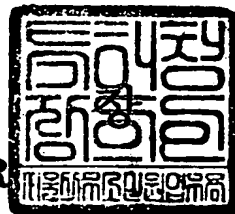
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.14
【국제특허분류】	H01L
【발명의 명칭】	콘택으로부터 형성된 하드 마스크를 사용하는 다마신 과정으로 배선을 형성하는 방법
【발명의 영문명칭】	Method for forming wire line by damascene process with using hard mask formed from contacts
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	배인덕
【성명의 영문표기】	BAE, In Deog
【주민등록번호】	731201-1925135
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 413-13 매봉아트원 2-101
【국적】	KR
【발명자】	
【성명의 국문표기】	강창진
【성명의 영문표기】	KANG, Chang Jin
【주민등록번호】	610826-1090911
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 산나무실미주아파트 652-1901
【국적】	KR
【발명자】	
【성명의 국문표기】	전정식
【성명의 영문표기】	JEON,Jeong Sic
【주민등록번호】	630206-1094912
【우편번호】	445-974
【주소】	경기도 화성군 태안읍 병정리 485 한신아파트 106-101
【국적】	KR
【발명자】	
【성명의 국문표기】	지경구
【성명의 영문표기】	CHI ,Kyeong Koo
【주민등록번호】	651030-1674032
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 503번지 개포우성아파트 7-1103
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	28 면 28,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	806,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

콘택(contact)으로부터 형성된 하드 마스크(hard mask)를 사용하는 다마신(damascene) 과정으로 콘택 이후에 배선을 형성하는 방법을 제공한다. 본 발명의 일 관점에 의한 방법은, 반도체 기판 상에 제1절연층을 형성하고, 제1절연층을 식각하여 콘택홀을 형성하는 단계를 포함한다. 이후에, 제1절연층 상에 콘택홀을 채우는 도전층을 형성하고, 도전층을 패터닝하여, 도전층의 콘택홀을 채우는 부분으로 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택(storage node contact)을 형성하고 동시에 스토리지 전극 콘택 상에 올려지고 제1절연층 상으로 연장되는 하드 마스크를 형성한다. 하드 마스크를 식각 마스크로 사용하여 제1절연층을 식각하여 제1절연층에 트렌치(trench)를 형성하고 트렌치 내에 반도체 기판 상에 전기적으로 연결되는 비트 라인(bit line)을 형성한다. 비트 라인을 덮는 제2절연층을 형성한다. 제2절연층 및 하드 마스크를 순차적으로 평탄화하여 스토리지 전극 콘택을 하드 마스크로부터 분리한다. 이후에, 스토리지 전극 콘택 상에 커패시터의 스토리지 전극을 형성한다.

【대표도】

도 8a

【명세서】**【발명의 명칭】**

콘택으로부터 형성된 하드 마스크를 사용하는 다마신 과정으로 배선을 형성하는 방법
{Method for forming wire line by damascene process with using hard mask formed from contacts}

【도면의 간단한 설명】

도 1a 및 도 1b 각각은 본 발명의 실시예에 따른 스토리지 전극 콘택(storage node contact)을 위한 콘택홀을 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 2는 본 발명의 실시예에 따른 콘택홀을 메우는 제1도전층을 형성하는 단계를 개략적으로 보여주는 단면도이다.

도 3a 및 도 3b 각각은 본 발명의 실시예에 따른 제1도전층을 패터닝하기 위한 포토레지스트 패턴을 형성하는 단계를 보여주는 단면도 및 평면도이다.

도 4a 및 도 4b 각각은 본 발명의 실시예에 따른 하드 마스크를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 5a 및 도 5b 각각은 본 발명의 실시예에 따른 트렌치를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 6a 및 도 6b 각각은 본 발명의 실시예에 따른 격벽 상에 트렌치를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 7은 본 발명의 실시예에 따른 트렌치를 채우는 제2도전층을 형성하는 단계를 개략적으로 보여주는 단면도이다.

도 8a 및 도 8b는 각각 본 발명의 실시예에 따른 제2도전층을 에치 백(etch back)하여 비트 라인을 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 9는 본 발명의 실시예에 따른 비트 라인을 덮는 제4절연층을 형성하는 단계를 개략적으로 보여주는 단면도이다.

도 10a 및 도 10b 각각은 본 발명의 실시예에 따른 하드 마스크를 제거하여 스토리지 전극 콘택들을 각각 분리하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

도 11은 본 발명의 실시예에 따른 스토리지 전극 콘택 상에 커패시터의 스토리지 전극을 형성하는 단계를 개략적으로 보여주는 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자의 콘택(contact) 및 배선(wire line) 구조에 관한 것으로, 특히, 커패시터(capacitor) 상에 비트 라인(bit line)이 구성되는 디램(DRAM) 소자에서 스토리지 전극 콘택으로부터 스토리지 전극 콘택과 함께 형성되는 하드 마스크(hard mask)를 이용하는 다마신(damascene) 과정으로 비트 라인을 형성하는 방법에 관한 것이다.

<13> 반도체 소자는 고집적화에 따라 현재 다층의 배선 구조(interconnection

structure)를 채용하고 있다. 이러한 배선 구조는 배선(wire line)과 연결 콘택(contact)을 이용하여 구성되고 있다. 예를 들어, 디램과 같은 반도체 소자의 경우, 트랜지스터(transistor) 소자 등이 구성되는 반도체 기판과 콘택을 통해서 전기적으로 연결되는 비트 라인과 같은 배선을 포함하여 반도체 소자가 구성되고, 이러한 비트 라인 상에 커패시터 소자가 구성되고 있다. 이때, 커패시터와 반도체 소자의 전기적 연결을 위해서 커패시터 콘택 또는 스토리지 전극 콘택(storage node contact)이 비트 라인과 이격되며 비트 라인 옆을 지나도록 구성된다.

<14> 일반적으로, 이러한 비트 라인 상의 커패시터 구조(COB:Capacitor Over Bit line)는 비트 라인을 형성한 후 그 상측에 커패시터를 구성하기 위해서, 비트 라인 옆을 지나 하부의 반도체 기판에 전기적으로 연결되는 스토리지 전극 콘택이 형성되는 과정을 통해서 구성되고 있다. 그런데, 반도체 소자, 특히, 디램 소자의 디자인 룰이 극심하게 축소됨에 따라, 이러한 과정으로 COB 구조를 구성하기가 매우 어려워지고 있다.

<15> 전형적인 COB 구조는 비트 라인을 먼저 형성한 후 스토리지 전극 콘택을 형성하는 과정을 채용하고 있는 데, 이때, 공정 마진(process margin)을 보다 확보하기 위해서, 비트 라인의 측부에는 스페이서(spacer)가 도입되고 비트 라인의 상측에는 실리콘 질화물(Si_3N_4)의 하드 마스크(hard mask)가 도입되고 있다. 이러한 스페이서와 하드 마스크는 비트 라인의 형성 후 형성되는 스토리지 전극 콘택 형성 과정이 자기 정렬 콘택(SAC:Self Aligned Contact) 형성 과정으로 수행되기 위해 도입된다. 이에 따라, 비트 라인의 하드 마스크는 SAC 과정을 위해서 상당히 두꺼운 두께로 형성되어야 한다. 그런데, 디자인 룰이 축소됨에 따라 두꺼운 두께의 실리콘 질화물의 하드 마스크를 식각하는 것이 매우 어려워지고 있다.

- <16> 현재, 디자인 룰의 축소에 따라 사진 공정에서 ArF 공정이 필수적으로 도입되고 있는 데, 이러한 ArF 공정에서는 포토레지스트층의 두께가 점차 낮아지고 있어, 충분한 두께의 실리콘 질화물의 하드 마스크를 패터닝할 정도로 두꺼운 포토레지스트 패턴을 구현하기가 매우 어려운 상태이다. 따라서, 상기한 바와 같은 SAC 과정에 충분히 채용될 정도로 두꺼운 하드 마스크를 비트 라인 상측에 구현하기가 매우 어려워지고 있다.
- <17> 더욱이, SAC 과정을 위해서 두꺼운 하드 마스크를 도입할 경우 비트 라인 스택(bit line stack)의 높이가 높아져, 비트 라인들 간의 사이를 층간 절연층으로 메울 때 갭 채움(gap filling)에 문제가 발생할 확률이 매우 높게 된다. 즉, 비트 라인들 사이에서 매우 높은 종횡비(high aspect ratio)가 발생하여 갭 채움에 어려움이 수반되게 된다. 특히, 이러한 어려움들은 반도체 소자의 디자인 룰이 90nm 급 이하로 급격히 축소됨에 따라 더욱 극심해지고 있다.
- <18> 한편, 반도체 소자의 디자인 룰의 감소에 따라 미세한 선폭의 비트 라인을 형성하기 위해서, 스토리지 전극 콘택(즉, 커패시터 콘택)을 먼저 형성한 후, 비트 라인을 다마신 과정을 통해서 형성하고자 하는 시도가 미합중국 특허 출원 공개 번호 US2002/0022315 A1(2002년 2월 21일 공개, 출원 번호 제09/982,207호;"Self-Aligned damascene interconnect")의 문헌에 소개되고 있다. 이러한 다마신 과정으로 비트 라인을 커패시터 콘택에 정렬되게 형성하는 방법은 비트 라인을 형성하는 과정의 공정 마진을 보다 확보하여 디자인 룰의 급격한 감소에 대응하고 있으나, 실질적으로 공정 과정을 수행하는 데 다소의 어려움을 수반하고 있다.

- <19> 상기한 특허 출원 문헌에 따르면, 커패시터 콘택의 상측은 보호캡(protective cap)으로 다마신 과정으로부터 보호되고 있어야 하며, 비트 라인을 위한 트렌치(trench) 표준적인 리소그래피(standard lithography) 과정을 통해서 수행된다고 소개하고 있다.
- <20> 그런데, 디자인 룰의 감소가 급격히 진행됨에 따라 트렌치를 패터닝하기 위한 포토레지스트 패턴을, 앞서 기술한 바와 같이, 트렌치 형성을 위한 식각 과정에서 충분히 식각 마스크로 작용되기 위한 충분한 두께로 형성하기가 매우 어려워지고 있다. 트렌치를 패터닝하는 과정에서 트렌치가 신뢰성 있게 패터닝되기 위해서는, 식각 마스크로 포토레지스트 패턴을 이용할 경우 포토레지스트 패턴을 충분히 두꺼운 두께로 형성하여야 한다. 그런데, 디자인 룰이 90nm 이하 급으로 급격히 축소되는 상황에서, 이와 같이 충분히 두꺼운 두께로 포토레지스트 패턴을 형성하는 것은 매우 어렵다. 실질적으로 디자인 룰이 90nm 이하 급에서 채용되고 있는 ArF 조명계를 이용하는 사진 과정에서 매우 두꺼운 두께로 포토레지스트층을 패터닝하는 것은 매우 어려운 상황이다. 또한, 두꺼운 두께로 포토레지스트 패턴을 형성할 경우, 포토레지스트 패턴의 무너짐(collapse)이 발생할 가능성이 높아진다.
- <21> 또한, 상기한 바와 같이 커패시터 콘택의 상측에 보호캡을 실리콘 질화물층으로 도입하기 위한 공정은, 별도의 커패시터 콘택을 리세스(recess)하는 과정 및 증착 후 식각 과정들을 수반하게 된다. 이에 따라, 전체 반도체 소자 제조 과정을 복잡하게 하는 원하지 않는 영향이 발생될 수 있다. 이러한 과정들의 추가적인 수행은 필연적으로 전체 공정의 생산성에 부담을 주는 요소로 작용할 수 있다.

<22> 따라서, 전체 반도체 소자 제조 공정 단계를 보다 간략히 할 수 있고, 다마신 공정을 위한 트렌치를 형성하는 패터닝 과정을 보다 신뢰성 있게 수행할 수 있는 개선된 방법의 개발이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명이 이루고자 하는 기술적 과제는, 디자인 룰의 감소에 대응하기 위해서 배선의 선폭을 보다 감소시키고자 스토리지 전극 콘택과 같은 콘택을 형성한 이후에 다마신 과정으로 비트 라인과 같은 배선을 형성할 때, 콘택과 함께 콘택으로부터 형성되는 하드 마스크(hard mask)를 사용하여 보다 신뢰성 있게 배선을 위한 트렌치를 패터닝할 수 있고 또한 공정의 간략화를 구현할 수 있는 배선 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<24> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 커패시터(capacitor) 상에 비트 라인(bit line)이 구성되는 디램(DRAM) 소자에서 스토리지 전극 콘택으로부터 스토리지 전극 콘택과 함께 형성되는 하드 마스크(hard mask)를 이용하는 다마신(damascene) 과정으로 비트 라인을 형성하는 방법을 제공한다.

<25> 상기 방법은 반도체 기판 상에 제1절연층을 형성하는 단계와, 상기 제1절연층을 식각하여 콘택홀을 형성하는 단계와, 상기 제1절연층 상에 상기 콘택홀을 채우는 제1도전층을 형성하는 단계와, 상기 제1도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 식각 마스크로 상기 제1절연층을 식각하여 상기 제1절연층

에 트렌치를 형성하는 단계와, 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계와, 상기 비트 라인을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계, 및 상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<26> 여기서, 상기 방법은 상기 반도체 기판에 트랜지스터 소자를 형성하는 단계를 더 포함하고, 상기 비트 라인 및 상기 스토리지 전극 콘택은 상기 트랜지스터 소자에 각각 전기적으로 연결될 수 있다.

<27> 또한, 상기 제1도전층은 상기 제1절연층과 식각 선택비를 구현하는 도전 물질로 형성될 수 있다. 예를 들어, 상기 식각 선택비를 구현하기 위해서 상기 제1도전층은 폴리실리콘층을 포함하여 형성되고, 상기 제1절연층은 실리콘 산화물층을 포함하여 형성될 수 있다.

<28> 상기 하드 마스크는 상기 제1절연층 상으로 라인(line) 형상으로 연장되어 이웃하는 상기 스토리지 전극 콘택과 연결된다. 상기 하드 마스크는 상기 콘택홀의 상측 선폭(top critical dimension) 보다 좁은 선폭으로 형성될 수 있다.

<29> 상기 제1도전층을 패터닝하는 단계는 상기 제1도전층 상에 적어도 상기 콘택홀에 겹쳐 지나가는 라인 형태의 포토레지스트 패턴을 형성하는 단계, 및 상기 포토레지스트 패턴을 식각 마스크로 상기 제1도전층을 상기 제1절연층의 상측 표면이 노출되도록 식각하는 단계를 포함하여 구성될 수 있다.

- <30> 상기 방법은 상기 트렌치의 측벽에 트렌치 스페이서를 형성하는 단계를 더 포함할 수 있다. 이때, 상기 트렌치 스페이서는 실리콘 산화물을 포함하여 형성될 수 있다.
- <31> 상기 비트 라인은 상기 트렌치를 채우는 상기 제1도전층과는 다른 물질인 제2도전층을 형성하는 단계, 및 상기 제2도전층을 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 제2도전층의 표면이 상기 트렌치 입구보다 낮아지도록 하는 단계를 포함하여 형성될 수 있다.
- <32> 또한, 상기 방법은 반도체 기판 상에 제1절연층을 형성하는 단계와, 상기 제1절연층을 식각하여 콘택홀을 형성하는 단계와, 상기 제1절연층 상에 상기 콘택홀을 채우는 제1도전층을 형성하는 단계와, 상기 제1도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계와, 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계와, 상기 비트 라인을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계, 및 상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<33> 이때, 상기 격벽의 폭을 보다 확장하기 위해서 상기 콘택홀은 경사 식각으로 형성될 수 있다. 또한, 상기 격벽 상에 트렌치 스페이서를 형성하는 단계를 더 포함할 수 있다.

<34> 또한, 상기 방법은 반도체 기판 상에 제1절연층을 형성하는 단계와, 상기 제1절연층을 경사 식각하여 경사진 측벽을 가지는 콘택홀을 형성하는 단계와, 상기 제1절연층 상에 상기 콘택홀을 채우는 제1도전층을 형성하는 단계와, 상기 제1도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계와, 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계와, 상기 비트 라인을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계, 및 상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<35> 또한, 상기 방법은 반도체 기판 상에 제1절연층을 형성하는 단계와, 상기 제1절연층을 식각하여 콘택홀을 형성하는 단계와, 상기 제1절연층 상에 상기 콘택홀을 채우는 폴리 실리콘(poly silicon)층을 형성하는 단계와, 상기 폴리 실리콘층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장

되는 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 식각 마스크로 상기 제1절연층을 식각하여 상기 제1절연층에 트렌치를 형성하는 단계와, 상기 트렌치를 채우는 텅스텐층을 형성하는 단계와, 상기 텅스텐층의 하부층으로 티타늄 질화물층을 포함하는 식각 종료층을 형성하는 단계와, 상기 텅스텐층을 상기 식각 종료층의 상기 트렌치 측벽 부분이 노출되도록 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계와, 상기 노출된 식각 종료층 부분을 선택적으로 제거하는 단계와, 상기 비트 라인을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계, 및 상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<36> 이때, 상기 식각 종료층은 상기 하드 마스크를 덮도록 연장된다.

<37> 또한, 상기 방법은 반도체 기판 상에 제1절연층을 형성하는 단계와, 상기 제1절연층을 경사 식각하여 경사진 측벽을 가지는 콘택홀을 형성하는 단계와, 상기 제1절연층 상에 상기 콘택홀을 채우는 폴리 실리콘(poly silicon)층을 형성하는 단계와, 상기 폴리 실리콘층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계와, 상기 트렌치를 채우는 텅스텐층을 형성하는 단계와, 상기 텅스텐층의 하부층으로 티타늄 질화물층을 포함하는 식각 종료층을

형성하는 단계와, 상기 텅스텐층을 상기 식각 종료층의 상기 트렌치 측벽 부분이 노출 되도록 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계와, 상기 노출된 식각 종료층 부분을 선택적으로 제거하는 단계와, 상기 비트 라인을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계, 및 상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하여 구성될 수 있다.

<38> 본 발명에 따르면, 디자인 룰의 감소에 대응하기 위해서 배선의 선폭을 보다 감소 시키고자 스토리지 전극 콘택과 같은 콘택을 형성한 이후에 다마신 과정으로 비트 라인과 같은 배선을 형성할 때, 콘택과 함께 콘택으로부터 형성되는 하드 마스크(hard mask)를 사용하여 보다 신뢰성 있게 배선을 위한 트렌치를 패터닝할 수 있고 또한 공정의 간략화를 구현할 수 있다.

<39> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

- <40> 본 발명의 실시예에서는 비트 라인 상측에 커패시터가 구비되는 COB 구조를 채용하는 반도체 소자를 제조할 때 비트 라인을 커패시터와 반도체 기판을 전기적으로 연결시키기 위해서 도입되는 스토리지 전극 콘택을 형성한 이후에 다마신 과정으로 형성하는 바를 제시한다. 비트 라인을 다마신 과정으로 수행할 때, 비트 라인을 위한 트렌치를 형성하는 리소그래피(lithography) 과정에 식각 마스크로 이용될 하드 마스크를 도입하는 바를 본 발명의 실시예에서 제시한다.
- <41> 이때, 하드 마스크는 스토리지 전극 콘택으로부터 형성하는 바를 제시하여 하드 마스크를 형성하는 데 수반되는 추가적인 공정 단계들의 최소화를 구현하는 바를 제시한다. 하드 마스크의 도입은 트렌치를 형성하기 위한 리소그래피 과정에서 포토레지스트 패턴의 두께를 완화할 수 있는 데 도움을 줄 수 있다. 즉, 보다 얇은 두께로 포토레지스트 패턴을 도입할 수 있어, 반도체 소자의 디자인 룰의 급격한 축소, 즉, 0.9nm 이하 급으로의 디자인 룰의 축소에도 불구하고 트렌치를 신뢰성있게 형성할 수 있는 장점을 제공할 수 있다.
- <42> 이와 같은 하드 마스크의 도입은 공정 과정의 추가적인 단계들을 수반할 수 있어 전체 공정을 보다 복잡하게 유도할 수 있다. 이러한 공정의 복잡화를 극복하기 위해서 본 발명의 실시예에서는 하드 마스크를 스토리지 전극 콘택을 형성하는 과정에서 함께 형성하는 바를 제시한다.
- <43> 이에 따라, 스토리지 전극 콘택을 이루는 물질로 하드 마스크를 형성하여, 하드 마스크 도입 시에 수반되는 증착 및 패터닝 과정을 생략 및 단축할 수 있는 장점을 구현할 수 있다. 더욱이, 이와 같이 스토리지 전극 콘택으로부터 형성되는 하드 마스크를 도입함으로써, 트렌치의 측벽에 비트 라인과 스토리지 전극 간의 절연 이격을 보다 확보하기

위해서 바람직하게 도입될 수 있는 스페이서를 보다 실리콘 질화물 보다 유전 상수가 낮은 실리콘 산화물로 도입할 수 있는 장점을 구현할 수 있다. 즉, 실리콘 질화물을 절연 특성을 확보하기 위한 스페이서 등으로 도입하는 바를 배제할 수 있어, 비트 라인들 간의 기생 커패시턴스(stray capacitance)를 줄일 수 있는 바람직한 효과를 구현할 수 있다.

- <44> 상술한 바와 같이 개략적으로 기술한 본 발명의 실시예를 첨부 도면들을 참조하여 COB 구조를 구현하기 위한 공정 순서에 따라 보다 상세히 설명한다.
- <45> 도 1a 내지 도 는 본 발명의 실시예에 의한 스토리지 전극 콘택으로부터 형성된 하드 마스크를 사용하는 다마신 과정으로 비트 라인 배선을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.
- <46> 도 1a 및 도 1b 각각은 스토리지 전극 콘택을 위한 콘택홀(335)을 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.
- <47> 도 1a 및 도 1b를 참조하면, 반도체 기판(100)과 커패시터를 전기적으로 연결하기 위해서, 실질적으로, 스토리지 전극에 전기적으로 연결되는 스토리지 전극 콘택을 형성하기 위해서 콘택홀(335)을 형성한다. 현재, DRAM 소자와 같은 반도체 소자의 경우 COB 구조를 일반적으로 채용하고 있는 데, 본 발명의 실시예에서는 비트 라인을 형성하기 이전에 스토리지 전극 콘택을 형성하는 과정을 우선적으로 수행한다.
- <48> 구체적으로, 반도체 기판(100) 상에 트랜지스터 소자를 구성하기 위한 게이트 스택(200)을 형성한다. 게이트 스택(200)은 게이트(240, 250)를 이루는 도전층들, 예컨대, 도전성 폴리 실리콘층(230) 및 텅스텐 실리사이드층(250) 등과 같이 실리콘층/금속

실리사이드층의 이중층들을 포함하여 구성될 수 있다. 이때, 게이트(230, 250)의 상측에는 캐핑 절연층(capping insulating layer:260)이 도입될 수 있고, 게이트(230, 250)의 측부에는 게이트 스페이서(gate spacer:270)가 도입될 수 있다. 게이트(230, 250)에 인접하는 반도체 기판(100)에는 트랜지스터 소자를 위한 드레인/소스 영역(drain/source region)이 형성된다.

<49> 게이트 스택(200)들 사이에는 절연을 위한 제1절연층(도시되지 않음)이 도입될 수 있으며, 이러한 제1절연층을 관통하는 다수의 도전성 패드(conductive pad:410, 450)들이 도입될 수 있다. 도전성 패드(410, 450)를 반도체 소자의 디자인 룰이 축소됨에 따른 공정 마진을 협소함을 극복하기 위해서 도입된다. 이러한 도전성 패드(410, 450)들은 다양한 도전성 물질, 예컨대, 도전성 폴리 실리콘 등으로 형성될 수 있다. 또한, 이러한 도전성 패드(410, 450)들은 공정 과정에서 다수 개가 그 필요한 위치에 배치되도록 동시에 형성될 수 있다. 그럼에도 불구하고, 도전성 패드(410, 450)들은 이후에 도전성 패드(410, 450)들에 전기적으로 연결될 소자 또는 배선의 종류에 따라 제1도전성 패드(410) 및 제2도전성 패드(450)들로 구분할 수 있다.

<50> 제1도전성 패드(410)는 후속해 형성될 비트 라인과 반도체 기판(100)의 전기적 연결을 중계(interconnect)하는 역할을 할 수 있고, 제2도전성 패드(450)는 후속해 형성될 커패시터와 반도체 기판(100)의 전기적 연결을 중계하는 역할을 할 수 있다. 물론, 이러한 도전성 패드(410, 450)들은 각각 그 위치에 따라 드레인 또는 소스 영역에 전기적으로 연결되게 된다.

<51> 제1절연층 상에는 절연을 위한 제2절연층(330)이 도입된다. 이러한 제1절연층 및 제2절연층(330)은 실리콘 산화물 등과 같은 절연 물질로 형성될 수 있다. 이러한 제2절

연층(330)은 실질적으로 대략 1500Å 두께로 형성된다. 이때, 제2절연층(330)을 형성한 후, 제2절연층(330)을 관통하여 제1도전성 패드(410)에 전기적으로 연결되는 제1콘택(510)을 형성한다. 제1콘택(510)은 비트 라인과 반도체 기판(100)의 전기적 연결을 제1도전성 패드(410)와 함께 중계하는 역할을 한다. 따라서, 다이렉트 콘택(DC:Direct Contact)으로도 알려진 콘택이 제1콘택(510)에 해당되게 된다. 이에 따라, 제1콘택(510) 상에는 비트 라인이 접촉하게 되는 데, 제2절연층(330)은 비트 라인과 하부의 제1도전성 패드(410) 등을 절연시키는 역할을 하게 된다.

<52> 이러한 제1콘택(510)은 제2절연층(330)을 선택적으로 식각하여 제1도전성 패드(410)를 노출하는 콘택홀을 형성하고, 콘택홀을 채우는 도전층을 형성한 후, 이러한 도전층을 평탄화 등과 같은 패터닝 과정으로 패터닝하여 형성될 수 있다. 이때, 제1콘택(510)을 이루는 도전 물질은 텅스텐일 수 있다. 텅스텐층을 이용하여 제1콘택(510)을 형성할 경우, 텅스텐층의 하부에 식각 종료층 또는 연마 종료층으로 티타늄/티타늄 질화물(Ti/TiN)층을 더 형성할 수 있다.

<53> 제2절연층(330)을 관통하는 제1콘택(510)을 구현한 후, 도 1a에 제시된 바와 같이 제1콘택(510)을 상측을 덮는 제1식각 종료층(610)을 형성한다. 제1식각 종료층(610)은 이후에 비트 라인을 위한 트렌치를 형성하는 과정에서 트렌치 형성을 위한 식각 과정의 식각 종료점 검출을 위해서 도입된다. 따라서, 제1식각 종료층(610)은 그 상에 형성될 제3절연층(350)을 바람직하게 이루는 물질, 예컨대, 실리콘 산화물과 충분한 식각 선택비를 구현할 수 있는 절연 물질, 예컨대, 실리콘 질화물로 형성될 수 있다. 이러한 실리콘 질화물층은 대략 500Å 정도의 두께로 형성될 수 있다. 이후에 다시 설명하지만, 이

러한 제1식각 종료층(610)은 트렌치를 형성하는 식각 과정을 제어하여 트렌치의 바닥 선평(bottom critical dimension)을 확보하는 데 장점을 구현하는 역할을 한다.

<54> 제1식각 종료층(610)을 형성한 후, 제1식각 종료층(610) 상에 제3절연층(350)을 형성한다. 이러한 제3절연층(350)은 일반적인 COB 구조에서 커패시터가 구현되는 높이를 제공할 수 있는 두께로 형성된다. 즉, 제3절연층(350) 상에는 실질적으로 커패시터가 이후에 구현되게 된다. 이러한 제3절연층(350)은 다양한 절연 물질로 구성될 수 있으나, 후속에서 형성될 스토리지 전극 콘택을 구성하는 물질과 식각 선택비를 구현할 수 있는 절연 물질로 구성되는 것이 바람직하다. 예를 들어, 실리콘 산화물 등으로 대략 2500Å 정도 두께로 제3절연층(350)을 구성할 수 있다.

<55> 제3절연층(350)을 형성한 후, 제3절연층(350)을 선택적으로 식각하여 제2도전성 패드(450)를 선택적으로 노출하는 콘택홀(335)을 형성한다. 이때, 이러한 콘택홀(335)을 형성하는 과정은 미세 콘택 식각(small contact etch) 과정으로 수행될 수 있다. 예컨대, 사진 식각 과정을 통해서 콘택홀(335)을 형성될 제3절연층(350) 부위를 노출하는 포토레지스트 패턴(도시되지 않음)을 형성한 후, 포토레지스트 패턴을 식각 마스크로 이용하여 노출된 제3절연층(350) 부위 및 하부의 제2절연층(330)을 선택적으로 식각하여 콘택홀(335)을 형성한다. 이때, 하드 마스크를 도입하여 상기한 콘택홀(335) 형성을 위한 식각 과정을 수행할 수도 있다. 이러한 하드 마스크는 폴리 실리콘층으로 구성될 수 있다.

<56> 이와 같이 콘택홀(335)을 형성하는 과정을 미세 콘택 식각 과정으로 수행하여도, 디자인 룰의 감소에 따른 공정 마진을 충분히 확보할 수 있다. 그 이유는 종

래의 경우와 달리 이러한 콘택홀(335)을 형성하는 과정이 비트 라인 형성 이전에 수행되기 때문에 공정 마진을 보다 더 확보할 수 있기 때문이다.

<57> 실질적으로 콘택홀(335)을 형성할 때 식각되어야 할 두께는 제2절연층(330)과 제3절연층(350)의 두께로 대략 3000Å 내지 4000Å 정도에 불과하게 된다. 이에 비해 종래의 비트 라인 SAC를 이용하는 경우에는 이러한 제2절연층 및 제3절연층의 두께가 대략 5000Å 내지 5500Å 정도에 다다르게 된다. 이는 비트 라인 SAC 과정을 이용하기 위해서는 매우 높은 캐핑층을 비트 라인 상에 도입해야 하기 때문이다. 이에 따라, 본 발명의 실시예에 따른 방법은 콘택홀(335)의 바닥 오픈 능력(bottom opening ability) 측면에서 유리한 이점을 구현할 수 있다. 따라서, 종래의 경우에서 콘택홀이 오픈되지 않는 문제(not opening)의 해결에 보다 도움이 될 수 있다.

<58> 한편, 콘택홀(335)을 형성하는 식각 과정은 경사 식각(taper etch) 과정으로 수행되는 것이 바람직하다. 이는 후속에 설명하지만 콘택홀(350)과 후속에 형성될 비트 라인을 위한 트렌치 간을 충분히 격리시킬 격벽을 자연스럽게 형성(self formed)하는 데 도움을 주기 위해서이다.

<59> 본 발명의 실시예에 따르면, 실질적으로 디자인 룰이 0.82μm급인 경우에도 100nm의 콘택 공정으로 상기한 바와 같은 콘택홀(335)을 형성하는 과정이 수행되어도 충분한 바닥 선폭, 예를 들어, 적어도 42nm 이상의 선폭을 얻을 수 있다. 따라서, 본 발명의 실시예의 경우 콘택홀(335)의 바닥 선폭을 충분히 확보할 수 있는 장점을 구현할 수 있다. 이에 대조적으로 종래의 비트 라인을 먼저 형성하는 경우에는, 0.82μm급의 디자인 룰의 경우에서 콘택홀의 바닥 선폭이 35nm 이상 구현되기 어려운 상태이며, 또한, 실질적으로 100nm 보다 작은 크기의 콘택 공정으로 수행되어야 바닥 선폭을 어느 정도 구현할 수 있

다. 이러한 종래의 경우는, 비트 라인 SAC 과정에 따라 콘택홀 식각이 이루어지므로 콘택홀의 바닥을 오프닝하는 것이 디자인 룰의 급격한 감속에 따라 공정적으로 매우 어렵기 때문이다.

<60> 상술한 바와 같이 본 발명의 실시예에서는 콘택홀(335)을 형성하는 식각 과정을 경사 식각을 이용하더라도 충분히 콘택홀(335)의 바닥 선평을 확보할 수 있다. 실질적으로 대략 90nm급의 디자인 룰의 경우 콘택홀(335)의 상측 선평(top CD)은 대략 121nm 정도, 바닥 선평(bottom CD)은 대략 85nm 정도로 구현할 수 있다.

<61> 도 2는 콘택홀(335)을 메우는 제1도전층(700)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<62> 도 2를 참조하면, 제3절연층(350) 상에 콘택홀(335)을 메우는 제1도전층(700)을 형성한다. 이때, 제1도전층(700)은 콘택홀(335)을 충분히 메울 수 있는 두께로, 예컨대, 제3절연층(350) 상으로 연장되는 부분의 두께가 대략 1000Å 내지 1500Å 정도에 다르도록 형성될 수 있다.

<63> 이때, 제1도전층(700)은 콘택홀(335)을 메우는 부분으로 제2콘택, 예컨대, 스토리지 전극 콘택(또는 베리드 콘택(BC:Buried Contact))을 형성하기 위해서 증착되나, 또한, 제3절연층(350)에 비트 라인을 위한 트렌치를 형성하기 위한 하드 마스크(hard mask)를 형성하기 위해서 도입된다. 따라서, 제1도전층(700)은 제2도전성 패드(450)에 전기적으로 연결되는 제2콘택을 위해서 충분한 도전성을 가지는 도전 물질로 형성되어야 하고, 또한, 하드 마스크로 이용되기 위해서 제3절연층(350)을 바람직하게 이루는 실리콘 산화물과 충분한 식각 선택비를 구현할 수 있는 물질로 구성되는 것이 바람직하다.

- <64> 제1도전층(700)은 예를 들어 도전성 폴리 실리콘층으로 형성될 수 있다. 폴리 실리콘은 실리콘 산화물과 충분한 식각 선택비를 구현할 수 있으므로, 제1도전층(700)으로 바람직하게 이용될 수 있다. 이와 같이 제1도전층(700)으로 폴리 실리콘층을 증착한 후에 폴리 실리콘층의 표면을 에치 백(etch-back) 또는 화학 기계적 연마(CMP:Chemical Mechanical Polishing)하여 평탄화시킬 수 있다. 이러한 평탄화 과정은 후속되는 사진 공정에서의 해상도 마진을 보다 더 확보하기 위해서 도입될 수 있다.
- <65> 도 3a 및 도 3b 각각은 제1도전층(700)을 패터닝하기 위한 포토레지스트 패턴(800)을 형성하는 단계를 보여주는 단면도 및 평면도이다.
- <66> 도 3a 및 도 3b를 참조하면, 제1도전층(700)을 패터닝하여 제1도전층(700)의 콘택홀(335)을 채우는 부분 상에서부터 제3절연층(350) 상으로 길게 연장되는 부분을 선택적으로 차폐하는 포토레지스트 패턴(800)을 형성한다. 이러한 포토레지스트 패턴(800)은 비트 라인을 위한 트렌치를 제3절연층(350)에 형성하기 위해서 도입될 하드 마스크를 패터닝하기 위해서 도입된다. 따라서, 포토레지스트 패턴(800)은 실질적으로 종래의 경우에 비트 라인을 형성하기 위해서 도입되는 패턴 형상에서 역전된 비트 라인 패턴 형상(reverse B/L shape)으로 형성될 수 있다.
- <67> 이러한 역전된 비트 라인 패턴 형상은 실질적으로 라인 패턴(line pattern)의 형상이므로, 실질적으로 사진 공정에서 해상도 마진을 크게 확보할 수 있다. 따라서, 디자인 룰의 감소에 충분히 대응할 수 있다. 실질적으로 포토레지스트 패턴(800)은 상당히 좁은 패턴, 예컨대, 스토리지 전극 콘택을 위한 콘택홀(355)의 상측 선포에 비해 좁은 패턴으로도 형성될 수 있다. 이와 같이 포토레지스트 패턴(800)이 좁은 선포로 패터닝되면 비트 라인의 선포 제어를 보다 확보된 공정 마진으로 제어하는 것이 가능해지는 이점

이 구현될 수 있다. 포토레지스트 패턴(800)은 대략 80nm의 선폭을 가지도록 형성될 수 있다.

<68> 도 4a 및 도 4b 각각은 하드 마스크(705)를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

<69> 도 4a 및 도 4b를 참조하면, 포토레지스트 패턴(도 3a의 800)을 식각 마스크로 포토레지스트 패턴(800)에 의해서 노출되는 도전층(도 3a의 700) 부분을 선택적으로 식각하여 제거한다. 이때, 제1도전층(700) 아래의 제3절연층(350)의 상측 표면이 식각 과정에 의해 노출되도록 한다. 이에 따라, 길게 라인 형태의 하드 마스크(705)가 제1도전층(700)으로부터 형성되고, 이러한 하드 마스크(705)는 콘택홀(335)을 메우는 제1도전층(700) 부분, 즉, 스토리지 전극 콘택 또는 BC인 제2콘택(705) 상측에 위치하게 된다. 포토레지스트 패턴(800)의 선폭이 콘택홀(335) 보다 좁을 경우 콘택홀(335)을 채우는 제1도전층(700) 부분, 즉, 제2콘택(705) 부분의 상측 표면 일부 또한 노출되게 된다.

<70> 포토레지스트 패턴(800)을 식각 마스크로 사용하는 식각 과정에 의해서, 하드 마스크(705)는 대략 80nm의 선폭으로 길게 라인 형태로 형성되게 된다. 포토레지스트 패턴(800)은 실질적으로 하드 마스크(705)를 패터닝할 수 있을 정도의 두께로 도입되면 되므로, 상대적으로 얇은 두께로 도입될 수 있다. 따라서, 90nm 이하 급의 디자인 룰에서 사용되는 ArF 광원을 이용하는 사진 과정으로도 충분히 신뢰성 있는 포토레지스트 패턴(800)을 구현하는 것이 가능하다.

<71> 더욱이, 하드 마스크(705)가 스토리지 전극 콘택, 즉, 제2콘택(701)을 형성하는 과정에서 자연스럽게 형성될 수 있어, 하드 마스크(705)를 도입함에도 불구하고 전체 공정이 복잡해지는 것을 최소화할 수 있다.

- <72> 도 5a 및 도 5b 각각은 트렌치(337)를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.
- <73> 도 5a 및 도 5b를 참조하면, 하드 마스크(705)를 식각 마스크로 이용하여 노출되는 제3절연층(350) 부분을 선택적으로 식각하여 길게 연장되는 트렌치(337)를 형성한다. 이때, 하드 마스크(705)의 범위 바깥으로 노출된 스토리지 전극 콘택, 즉, 제2콘택(701) 부분의 상측 표면 또한 하드 마스크(705)와 같이 식각 마스크로 작용할 수 있다. 이와 같은 트렌치(337)를 형성하는 식각 과정은 하드 마스크(701) 상에 도입된 포토레지스트 패턴(800)의 잔류 부분을 잔류시킨 상태에서 수행할 수 있으나, 잔류된 포토레지스트 패턴(800)을 애싱 및 스트립(ashing and strip) 등으로 제거한 후에 상기한 트렌치(337)를 위한 식각 과정을 수행할 수 있다.
- <74> 하드 마스크(705)를 이용하여 트렌치(337)를 형성하는 식각 과정은 경사 식각 과정으로 수행되는 것이 바람직하다. 실질적으로, 제2콘택(701)과 그 하부의 제2도전성 패드(450)들 간의 공정 마진(margin)은 대략 43nm 내지 48nm 정도가 되게 되는 데, 이러한 제2콘택(701) 및 제2도전성 패드(450) 간의 공정 마진을 고려할 때, 트렌치(337)가 제2도전성 패드(450)와 충분히 이격 또는 절연되기 위해서는 트렌치(337)의 바닥 선평이 상측 선평 보다 협소한 것이 바람직하다. 이와 함께, 트렌치(337)와 제2콘택(701) 간의 절연 또는 충분한 이격 간격 확보를 위해서도 트렌치(337)를 형성하는 식각 과정은 경사 식각으로 수행되는 것이 바람직하다.
- <75> 하드 마스크(705) 간의 간격은 대략 82nm 정도의 디자인 룰의 경우 대략 85nm 정도일 수 있는 데, 따라서, 하드 마스크(705)에 의해서 형성되는 트렌치(337)의 상측 선평은 대략 85nm 정도일 수 있다. 따라서, 제2콘택(701)과 트렌치(337) 사이에 충분한 두께

의 격벽이 형성되기 위해서, 또한, 트렌치(337)가 제2도전성 패드(510)와 충분히 이격되기 위해서 트렌치(337)의 바닥 선폭은 상측 선폭에 비해 협소한 대략 64nm 보다 협소하게 형성될 수 있다.

<76> 이와 같이 트렌치(337)를 경사 식각을 이용하여 형성하고, 또한, 콘택홀(335)을 경사 식각으로 형성함으로써, 트렌치(337)와 제2콘택(701)의 사이는 잔류되는 제3절연층(350) 부분으로 이루어지는 격벽(351)이 구현될 수 있다. 이러한 격벽(351)은 트렌치(337)의 측벽이 경사짐에 따라 아래로 내려갈수록 그 폭이 커지는 형상을 가지게 된다. 이러한 격벽(351)은 실질적으로 트렌치(337)의 바닥 높이 수준에서 대략 30nm 정도 이상의 두께로 형성될 수 있다. 따라서, 이러한 격벽(351)에 의해서 트렌치(337)를 채울 비트 라인과 제2콘택(701), 즉, 스토리지 전극 콘택은 충분히 전기적으로 격리될 수 있다.

<77> 이와 같이 트렌치(337) 또는/ 및 콘택홀(335)을 형성하는 식각 과정에서 경사 식각을 바람직하게 채용함으로써, 트렌치(337)를 채울 비트 라인과 콘택홀(335)을 채우는 제2콘택(701) 사이에 자연스럽게 격벽(351)을 형성함으로써, 비트 라인과 제2콘택(701) 간의 절연성을 신뢰성있게 충분히 확보할 수 있다.

<78> 한편, 트렌치(337)를 형성하는 식각 과정은 제3절연층(530) 하부에 형성되어 있는 제1식각 종료층(610)에서 식각 종료되고, 노출되는 제1식각 종료층(610) 부분은 애싱 및 스트립 등으로 선택적으로 제거된다. 이에 따라, 하부의 제1콘택(510)이 트렌치(337)에 노출되게 된다. 이러한 제1식각 종료층(610)의 도입은 제1식각 종료층(610)에서 식각이 상대적으로 균일하게 종료될 수 있으므로, 트렌치(337)의 바닥 선폭을 균일하게 유지하는 데 보다 이로운 장점을 가진다.

- <79> 도 6a 및 도 6b 각각은 격벽(351) 상에 트렌치(337)를 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.
- <80> 도 6a 및 도 6b를 참조하면, 격벽(351) 상에 트렌치 스페이서(370)를 취사 선택적으로(optionally) 형성한다. 트렌치 스페이서(370)는 격벽에 의한 트렌치(337)와 콘택홀(335)의 이격에 대한 신뢰성을 보다 제고하기 위해서 도입될 수 있다. 이러한 트렌치 스페이서(370)는 트렌치(337)의 측벽 및 격벽(351) 상에 스페이서층을 라이너(liner) 형태로 증착한 후 이방성 식각하여 스페이서층을 일부 잔류시킴으로써 형성될 수 있다.
- <81> 이러한 트렌치 스페이서(370)는 실리콘 질화물 또는 실리콘 산화물 등과 같은 절연 물질로 형성될 수 있다. 그럼에도 불구하고, 이후에 트렌치(337) 내에 도입될 비트 라인들 간의 기생 정전 용량을 최소화하는 데에는 실리콘 산화물과 같은 상대적으로 유전율이 낮은 절연 물질로 트렌치 스페이서(370)를 도입하는 것이 바람직하다. 또한, 이러한 트렌치 스페이서(370)는 격벽(351)이 충분한 두께를 유지하여 비트 라인(또는 트렌치(337)와 제2콘택(701) 사이에서 충분한 절연 및 이격 효과를 구현할 수 있다면 바람직하게 생략될 수도 있다.
- <82> 도 7은 트렌치(337)를 채우는 제2도전층(950)을 형성하는 단계를 개략적으로 보여주는 단면도이다.
- <83> 도 7을 참조하면, 트렌치(337) 내에 비트 라인을 형성하기 위해서, 트렌치(337)를 채우는 제2도전층(950)을 형성한다. 이러한 제2도전층(950)은 다양한 절연 물질로 형성될 수 있으나, 디자인 룰의 급격한 감소에 따른 비트 라인 저항 제어를 위해서 텅스텐층

으로 형성될 수 있다. 이러한 텅스텐층은 트렌치(337)를 충분히 메우는 두께, 예컨대, 대략 1500Å 정도의 두께로 형성될 수 있다.

<84> 제2도전층(950)을 형성하기 이전에, 제2도전층(950)의 하부층으로 티타늄 질화물층(TiN layer)을 포함하는 제2식각 종료층(910)을 더 형성할 수 있다. 이러한 티타늄 질화물층의 제2식각 종료층(910)은 실질적으로 Ti/TiN층으로 형성되는 것이 공정 상 바람직하다. 제2식각 종료층(910)은 제2도전층(950)이 텅스텐층으로 도입될 경우, 텅스텐층을 비트 라인으로 패터닝하기 위해서 에치 백(etch back)을 할 때 식각 종료층으로 이용된다. 실질적으로, 제2도전층(950)은 트렌치(337) 내부로 깊게 리세스(recess)되어 비트 라인을 형성할 것이므로, 제2식각 종료층(910)은 이러한 리세스 과정 중에 제2콘택(701) 등이 이러한 에치 백 과정 중에 침해되는 것을 방지하는 식각 방지의 역할을 한다.

<85> 도 8a 및 도 8b는 각각 제2도전층(950)을 에치 백하여 비트 라인(951)을 형성하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.

<86> 도 8a 및 도 8b를 참조하면, 제2도전층(도 7의 950)을 에치 백하여 트렌치(337) 내부로 리세스시켜 비트 라인(951)을 형성한다. 이때, 에치 백은 제2식각 종료층(도 7의 910)에 대해서 제2도전층(950)이 충분한 식각 선택비를 구현하며 제2도전층(950)이 식각 되도록 수행한다. 이러한 에치 백은 수행하기 이전에 상기 제2도전층(950)을 화학 기계적 연마(CMP:Chemical Mechanical Polishing)하는 단계를 더 도입할 수 있다. 이러한 CMP의 도입에 의해서 제2도전층(950)의 두께를 보다 줄일 수 있다.

<87> 실질적으로, 에치 백 과정은 산 등을 이용하는 습식 식각(wet etch)으로 수행될 수 있다. 습식 식각 과정에서 제2도전층(950)으로 이용된 텅스텐층은 제2식각 종료층(910)으로 이용된 티타늄 질화물층에 대해서 충분히 선택적으로 식각된다. 또한, 에치 백 과

정은 건식 식각(dry etch) 과정으로도 수행될 수 있다. 이때, 제2도전층(950)으로 이용된 텅스텐층은 육불화황(SF_6) 등을 포함하는 식각 가스를 사용하는 건식 식각으로 식각되는 데, 제2식각 종료층(910)으로 이용된 티타늄 질화물층은 이러한 식각 가스에 의한 식각 과정에 대해 식각 선택비를 나타내게 된다.

<88> 이와 같이 티타늄 질화물층을 텅스텐층에 대한 제2식각 종료층(910)으로 도입함으로써, 텅스텐층을 선택적으로 식각 리세스하여 비트 라인(951)을 형성할 수 있다. 이후에, 식각 종료 또는 식각 방지 등으로 이용되고 텅스텐층의 리세스에 의해서 노출된 제2식각 종료층(950) 부분은 플루오로 카본(CF_x) 가스 등을 포함하는 건식 식각 등으로 제거하여 하부의 격벽(351) 또는 트렌치 스페이서(370) 및 하드 마스크(705) 등을 노출한다.

<89> 이와 같이 비트 라인(951)을 형성함으로써, 비트 라인(951)의 선폴을 트렌치(337)의 선폴으로 정교하게 제어할 수 있다. 또한, 제2도전층(950)이 리세스되는 정도를 제어하여 비트 라인(951)의 두께를 정교하게 제어할 수 있다. 이에 따라, 비트 라인(951)의 저항 제어를 정교하게 할 수 있다.

<90> 도 9는 비트 라인(951)을 덮는 제4절연층(390)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<91> 도 9를 참조하면, 제2도전층(도 7a의 950)의 에치 백에 따라 리세스되어 형성된 비트 라인(951)을 덮는 제4절연층(390)을 형성한다. 이때, 제4절연층(390)은 트렌치(337)의 갭을 충분히 메울 수 있는 두께로 형성되는 것이 바람직하다. 또한, 제4절연층(390)은 실리콘 산화물층으로 형성되는 것이 바람직하다.

- <92> 도 10a 및 도 10b 각각은 하드 마스크(705)를 제거하여 제2콘택(701)들을 각각 분리하는 단계를 개략적으로 보여주는 단면도 및 평면도이다.
- <93> 도 10a 및 도 10b를 참조하면, 제4절연층(390)의 전면을 평탄화하여 하드 마스크(705)를 제거한다. 예를 들어, 제4절연층(390)의 전면을 CMP하여 하드 마스크(705)를 제거하고 하드 마스크(705) 아래에 존재하던 제3절연층(350) 부분을 노출시킨다. 이와 같이 하드 마스크(705)가 제거됨에 따라, 제2콘택(701)을 각각의 콘택홀(335) 별로 분리되게 된다. 또한, 이러한 제2콘택(701)의 분리에 의해서 제4절연층(390)은 비트 라인(951)을 덮는 캡층 형태로 패터닝되게 된다.
- <94> 이와 같이 제4절연층(390)이 캡층으로 역할하게 되므로, 후속 공정에서 금속 콘택(MC: Metal Contact)을 형성할 때 MC의 오프닝 능력이 좋아지게 된다. MC가 노출하는 MC 랜딩 패드(landing pad)는 이러한 비트 라인(951)을 형성하는 과정에서 함께 형성될 수 있는 데, 비트 라인(951) 상에 종래와 같은 실리콘 질화물층의 두꺼운 캡층이 도입되지 않으므로, MC 노출이 보다 용이해지게 된다.
- <95> 도 11은 제2콘택(701) 상에 스토리지 전극(storage node: 750)을 형성하는 단계를 개략적으로 보여주는 단면도이다.
- <96> 도 11을 참조하면, 제2콘택(701)에 전기적으로 연결되는 커패시터의 스토리지 전극(750)을 실린더 형태로 형성할 수 있다. 이후에, 유전층(도시되지 않음) 및 플레이트 전극(plate node)의 증착으로 커패시터를 완성함으로써, COB 구조를 완성할 수 있다.

<97> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<98> 상술한 본 발명에 따르면, 반도체 소자의 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 급격히 축소되는 것을 극복하여 COB 구조에서 비트 라인을 신뢰성있게 구현할 수 있다. 이때, 스토리지 전극 콘택으로 이용되는 제2콘택을 형성한 이후에 비트 라인을 다마신 공정을 이용하여 구현함으로써, 제2콘택과 하부의 반도체 기판과의 전기적 연결을 보다 신뢰성 있게 구현할 수 있다. 즉, 제2콘택을 위한 콘택홀을 형성할 때, 비트 라인이 없는 상태에서 콘택홀을 형성하는 과정을 수행함으로써 콘택홀의 오프닝 능력을 보다 제고할 수 있다.

<99> 또한, 비트 라인을 위한 트렌치를 형성하는 과정에서 제2콘택과 함께 형성되는 하드 마스크를 식각 마스크로 이용함으로써, 트렌치를 형성할 때 포토레지스트층의 두께 제한에 따른 사진 공정 상의 문제를 해결할 수 있다. ArF 사진 공정을 이용할 경우 두꺼운 두께의 포토레지스트층을 도입하기 어려운 데, 제2콘택과 함께 형성되는 하드 마스크를 이용함으로써 별도의 공정 단계들의 추가를 최소화하며 매우 좁은 선포의 트렌치를 정교하게 형성할 수 있다.

<100> 제2콘택을 위한 콘택홀을 형성하는 과정과 트렌치를 형성하는 과정에서 경사 식각을 이용함으로써, 제2콘택과 트렌치 간에 충분한 두께의 격벽이 자연스럽게 형성되도록 유도할 수 있다. 이에 따라, 트렌치를 채우는 비트 라인과 제2콘택 간의 충분한 절연 특성을 구현하기가 용이하다. 또한, 실리콘 질화물의 트렌치 스페이서를 생략하거나 그 두

계를 최소화하여 도입하는 것이 가능하며, 비트 라인들 간에 기생 정전 용량이 크게 발생되는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 제1절연층을 형성하는 단계;

상기 제1절연층을 식각하여 콘택홀을 형성하는 단계;

상기 제1절연층 상에 상기 콘택홀을 채우는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크(hard mask)를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 상기 제1절연층을 식각하여 상기 제1절연층에 트렌치를 형성하는 단계;

상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계;

상기 비트 라인을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계; 및

상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다마신(damascene) 과정으로 배선을 형성하는 방법.

【청구항 2】

제1항에 있어서,

상기 반도체 기판에 트랜지스터 소자를 형성하는 단계를 더 포함하고,

상기 비트 라인 및 상기 스토리지 전극 콘택은 상기 트랜지스터 소자에 각각 전기적으로 연결되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 3】

제1항에 있어서,

상기 도전층은 상기 제1절연층과 식각 선택비를 구현하는 도전 물질로 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 4】

제3항에 있어서,

상기 식각 선택비를 구현하기 위해서

상기 도전층은 폴리 실리콘층을 포함하여 형성되고,

상기 제1절연층은 실리콘 산화물층을 포함하여 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 5】

제1항에 있어서,

상기 하드 마스크는 상기 제1절연층 상으로 라인(line) 형상으로 연장되어 이웃하는 상기 스토리지 전극 콘택과 연결되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 6】

제1항에 있어서,

상기 하드 마스크는 상기 콘택홀의 상측 선폭(top critical dimension) 보다 좁은 선폭으로 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 7】

제1항에 있어서, 상기 도전층을 패터닝하는 단계는

상기 도전층 상에 적어도 상기 콘택홀에 겹쳐 지나가는 라인 형태의 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 상기 도전층을 상기 제1절연층의 상측 표면이 노출되도록 식각하는 단계를 포함하는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 8】

제1항에 있어서,

상기 트렌치의 측벽에 트렌치 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 9】

제8항에 있어서,

상기 트렌치 스페이서는 실리콘 산화물을 포함하여 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 10】

제1항에 있어서, 상기 비트 라인은

상기 트렌치를 채우는 상기 도전층과는 다른 물질인 제2도전층을 형성하는 단계;
 및

상기 제2도전층을 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 제2도전층의 표면이 상기 트렌치 입구보다 낮아지도록 하는 단계를 포함하여 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 11】

반도체 기판 상에 제1절연층을 형성하는 단계;

상기 제1절연층을 식각하여 콘택홀을 형성하는 단계;

상기 제1절연층 상에 상기 콘택홀을 채우는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계;

상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계;

상기 비트 라인을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계; 및

상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다마신(damascene) 과정으로 배선을 형성하는 방법.

【청구항 12】

제11항에 있어서,

상기 반도체 기판에 트랜지스터 소자를 형성하는 단계를 더 포함하고,

상기 비트 라인 및 상기 스토리지 전극 콘택은 상기 트랜지스터 소자에 각각 전기적으로 연결되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 13】

제11항에 있어서,

상기 격벽의 폭을 보다 확장하기 위해서 상기 콘택홀은 경사 식각으로 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 14】

제11항에 있어서,

상기 도전층은 상기 제1절연층과 식각 선택비를 구현하는 도전 물질로 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 15】

제11항에 있어서,

상기 격벽 상에 트렌치 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 16】

제11항에 있어서, 상기 비트 라인은

상기 트렌치를 채우는 상기 도전층과는 다른 물질인 제2도전층을 형성하는 단계;
및

상기 제2도전층을 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 제2도전층의 표면이 상기 트렌치 입구보다 낮아지도록 하는 단계를 포함하여 형성되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 17】

반도체 기판 상에 제1절연층을 형성하는 단계;

상기 제1절연층을 경사 식각하여 경사진 측벽을 가지는 콘택홀을 형성하는 단계;

상기 제1절연층 상에 상기 콘택홀을 채우는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계;

상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계;

상기 비트 라인을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계; 및

상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다마신(damascene) 과정으로 배선을 형성하는 방법.

【청구항 18】

반도체 기판 상에 제1절연층을 형성하는 단계;

상기 제1절연층을 식각하여 콘택홀을 형성하는 단계;

상기 제1절연층 상에 상기 콘택홀을 채우는 폴리 실리콘(poly silicon)층을 형성하는 단계;

상기 폴리 실리콘층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 상기 제1절연층을 식각하여 상기 제1절연층에 트렌치를 형성하는 단계;

상기 트렌치를 채우는 텅스텐층을 형성하는 단계;

상기 텅스텐층의 하부층으로 티타늄 질화물층을 포함하는 식각 종료층을 형성하는 단계;

상기 텅스텐층을 상기 식각 종료층의 상기 트렌치 측벽 부분이 노출되도록 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계;

상기 노출된 식각 종료층 부분을 선택적으로 제거하는 단계;

상기 비트 라인을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계; 및

상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다마신(damascene) 과정으로 배선을 형성하는 방법.

【청구항 19】

제18항에 있어서,

상기 식각 종료층은 상기 하드 마스크를 덮도록 연장되는 것을 특징으로 하는 다마신 과정으로 배선을 형성하는 방법.

【청구항 20】

반도체 기판 상에 제1절연층을 형성하는 단계;

상기 제1절연층을 경사 식각하여 경사진 측벽을 가지는 콘택홀을 형성하는 단계;

상기 제1절연층 상에 상기 콘택홀을 채우는 폴리 실리콘(poly silicon)층을 형성하는 단계;

상기 폴리 실리콘층을 패터닝하여, 상기 콘택홀을 채우는 부분으로 상기 반도체 기판으로 전기적으로 연결되는 스토리지 전극 콘택을 형성하고 상기 스토리지 전극 콘택 상에 올려지고 상기 제1절연층 상으로 연장되는 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 상기 제1절연층을 경사 식각하여, 상기 경사 식각에 의해서 자연스럽게 잔류하게 되는 상기 제1절연층 부분으로 이루어지는 격벽에 의해 상기 콘택홀과 격리되며 경사진 측벽을 가지는 트렌치를 형성하는 단계;

상기 트렌치를 채우는 텅스텐층을 형성하는 단계;

상기 텅스텐층의 하부층으로 티타늄 질화물층을 포함하는 식각 종료층을 형성하는 단계;

상기 텅스텐층을 상기 식각 종료층의 상기 트렌치 측벽 부분이 노출되도록 선택적으로 식각하여 상기 트렌치 내로 리세스(recess)시켜 상기 트렌치 내에 상기 반도체 기판 상에 전기적으로 연결되는 비트 라인을 형성하는 단계;

상기 노출된 식각 종료층 부분을 선택적으로 제거하는 단계;

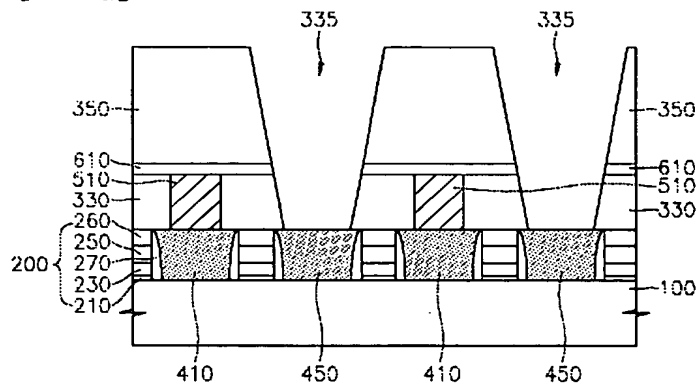
상기 비트 라인을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 하드 마스크를 순차적으로 평탄화하여 상기 스토리지 전극 콘택을 상기 하드 마스크로부터 분리하는 단계; 및

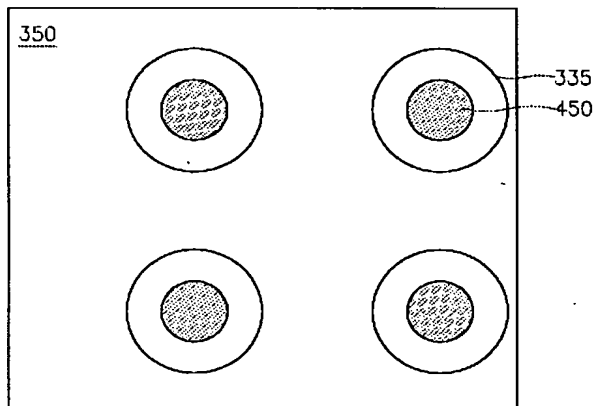
상기 스토리지 전극 콘택 상에 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다마신(damascene) 과정으로 배선을 형성하는 방법.

【도면】

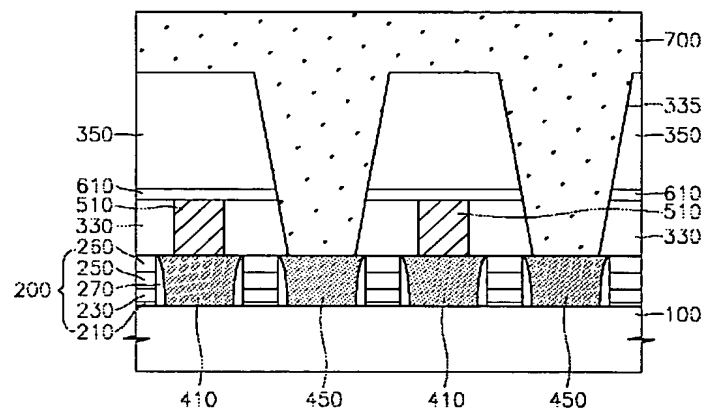
【도 1a】



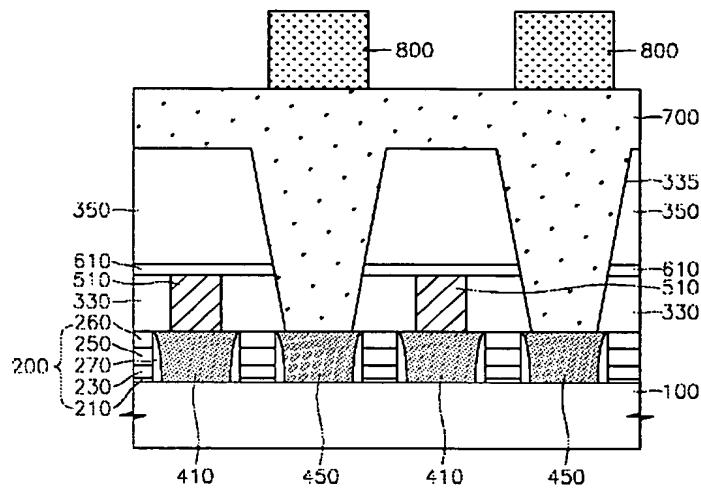
【도 1b】



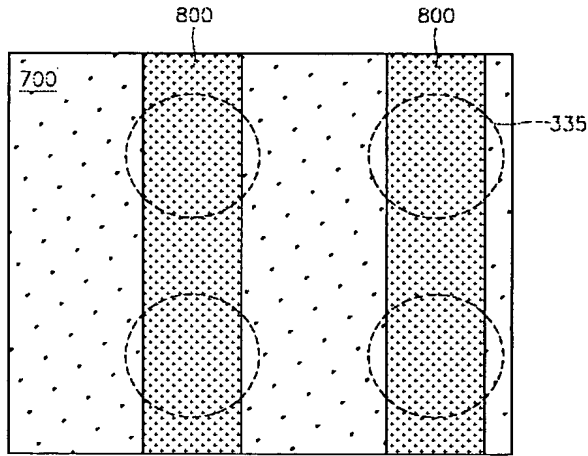
【도 2】



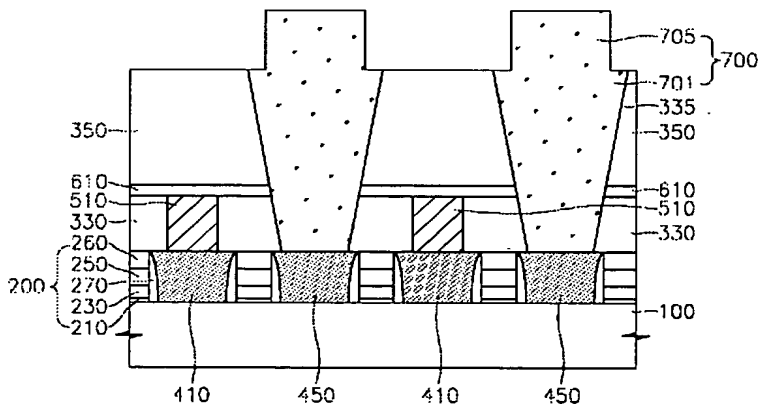
【도 3a】



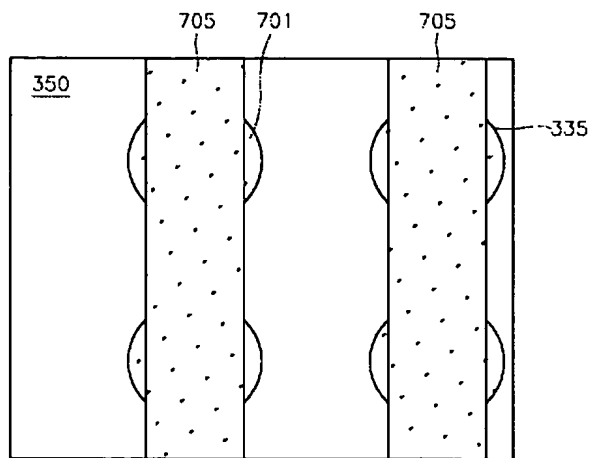
【도 3b】



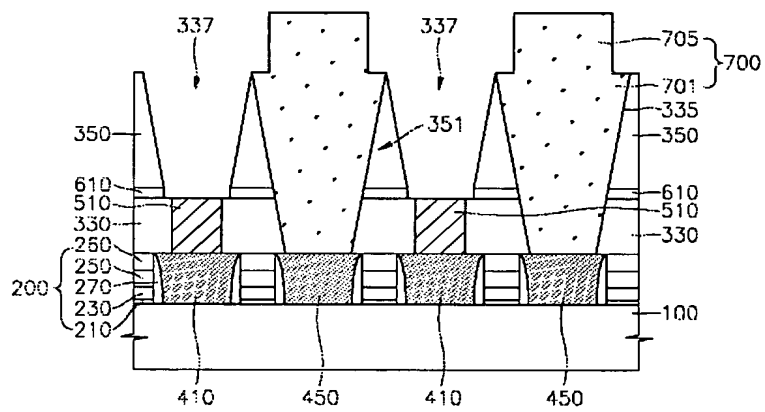
【도 4a】



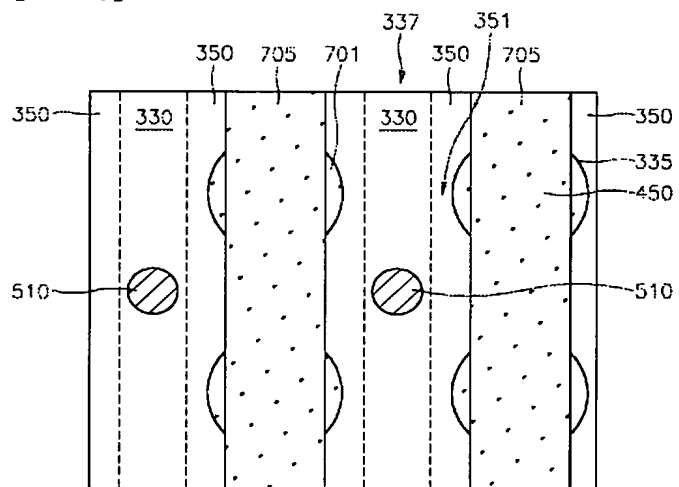
【도 4b】



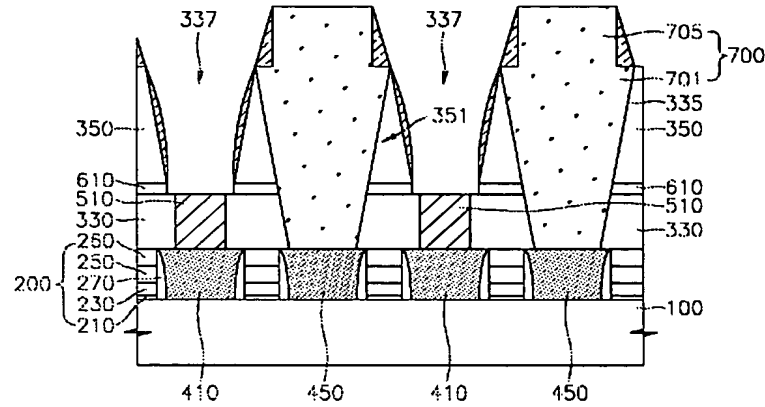
【도 5a】



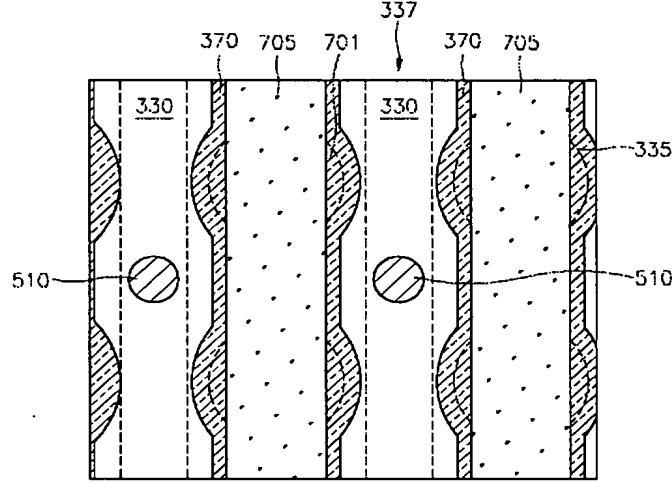
【도 5b】



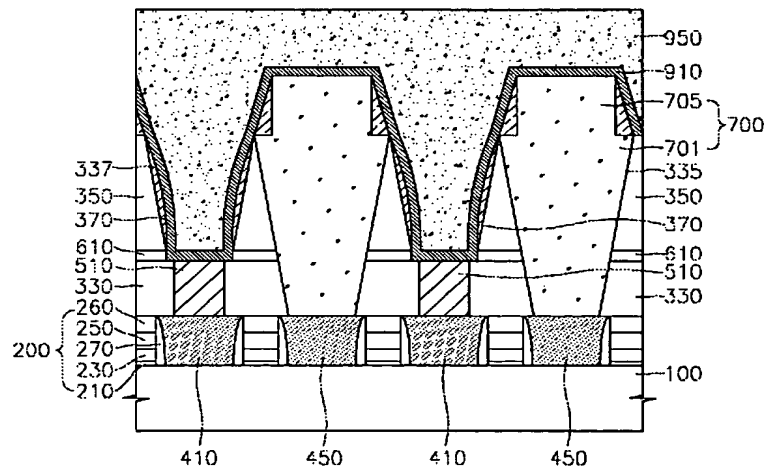
【도 6a】



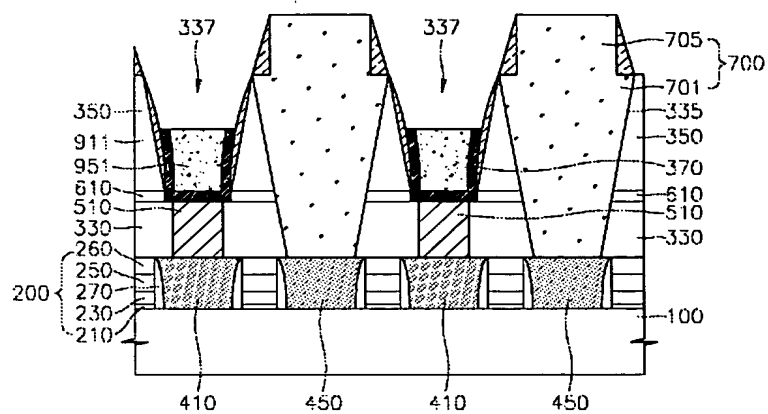
【도 6b】



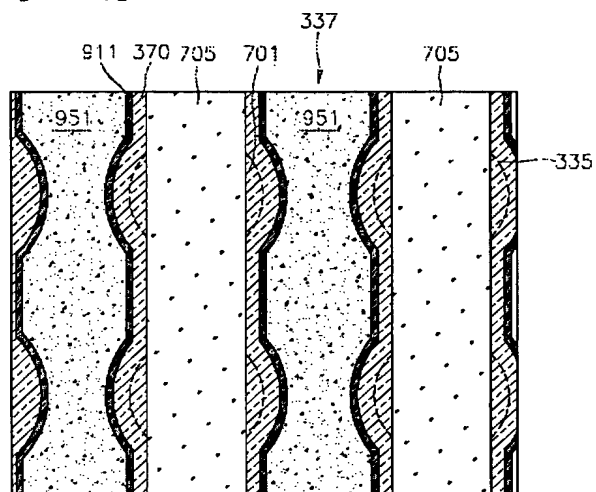
【도 7】



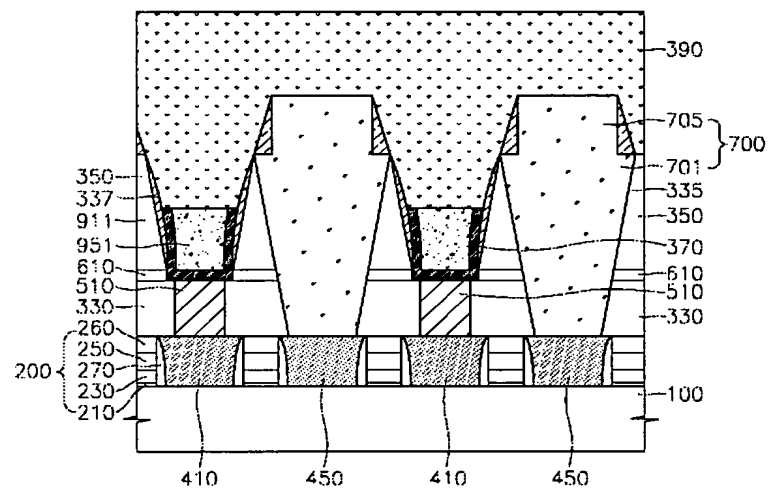
【도 8a】



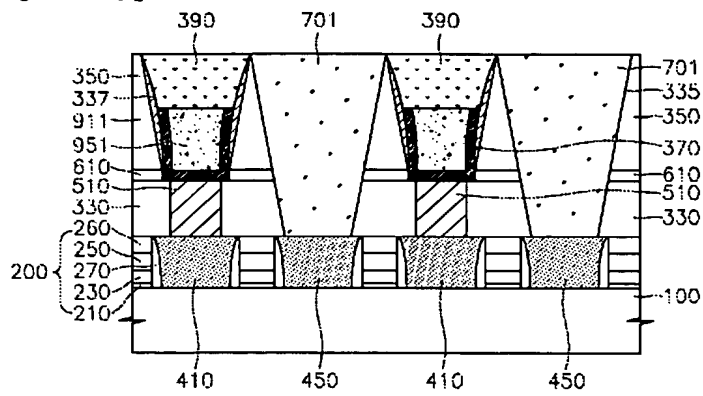
【도 8b】



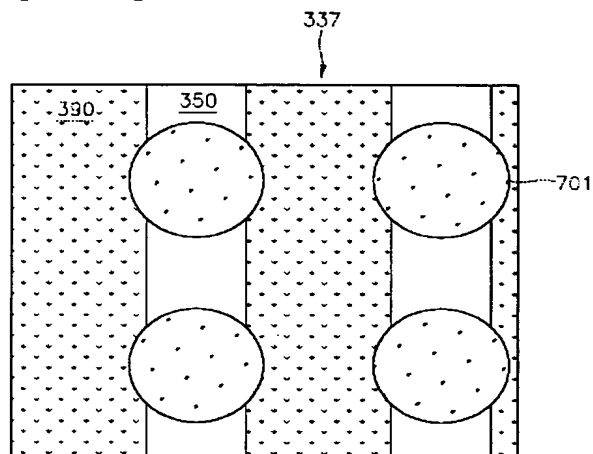
【도 9】



【도 10a】



【도 10b】



【도 11】

